

89255-02

⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑪ DE 2703579 C2

⑧ Int. Cl. 4:  
G09G 1/02

⑲ Aktenzeichen: P 27 03 579.6-53  
⑳ Anmeldetag: 28. 1. 77  
㉑ Offenlegungstag: 4. 8. 77  
㉒ Veröffentlichungstag  
der Patenterteilung: 23. 10. 88

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

③① Unionspriorität: ③② ③③ ③④  
30.01.76 GB 3731-76

⑦③ Patentinhaber:  
Quantel Ltd., Southend-on-Sea, Essex, GB

⑦④ Vertreter:  
Weickmann, H., Dipl.-Ing.; Fincke, K., Dipl.-Phys.  
Dr.; Weickmann, F., Dipl.-Ing.; Huber, B.,  
Dipl.-Chem.; Liska, H., Dipl.-Ing. Dr.-Ing.; Prechtel,  
J., Dipl.-Phys. Dr.rer.nat., Pat.-Anw., 8000 München

⑦⑦ Erfinder:  
Taylor, Richard John, London, GB

⑤⑤ Im Prüfungsverfahren entgegengehaltene  
Druckschriften nach § 44 PatG:

DE-OS 74 35 794  
DE-OS 22 46 028

⑤④ Anordnung zur Verarbeitung von Videosignalen

DE 2703579 C2

## Patentansprüche:

1. Anordnung zur Verarbeitung von Videosignalen, mit einem das Videosignal in digitale Videodaten überführenden Analog-Digital-Wandler (81), einem die digitalen Videodaten speichernden, digitalen Bildspeicher (92), einer den Bildspeicher (92) zum Einschreiben und Auslesen der Videodaten adressierenden Speicheradressierschaltung (90, 91), einem Digital-Analog-Wandler (86) der die aus dem Bildspeicher (92) ausgelesenen Videodaten in analoge Form überführt und einer das Einschreiben und Auslesen der Videodaten in den Bildspeicher (92) bzw. aus diesem steuernden Steuerschaltung; zur Erzeugung ausgewählter Videoeffekte, dadurch gekennzeichnet, daß die Steuerschaltung als Computer (24) ausgebildet ist und die Steuerdaten für von ihr zur Erzeugung der Videoeffekte gesteuerte Schaltungen (12, 15, 19) mit einer ersten Datenrate erzeugt, die sich von einer von den gesteuerten Schaltungen (12, 15, 19) bestimmten zweiten Datenrate unterscheidet und daß eine Pufferschaltung (94, 95) die Steuerdaten während der Perioden, in welchen Videodaten in den Bildspeicher (92) geschrieben bzw. aus ihm gelesen werden, mit der ersten Datenrate aufnimmt und die Steuerdaten während der Video-Austastintervalle, in welchen keine Videodaten in den Bildspeicher (92) geschrieben bzw. aus ihm gelesen werden, mit der zweiten Datenrate an die gesteuerten Schaltungen (12, 15, 19) abgibt.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Speicheradressierschaltung (90, 91) die Schreib- bzw. Leseadresse festlegt und von einer Schreib- und Lese-Folgesteuerung (82, 87) fort-

3. Anordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Computer (24) Speicher-Adresseinformationen an eine die Speicher-Adresseinformation zugeordnete Schreib- bzw. Leseadresse festlegende Computer-Adressierschaltung (96) liefert, daß die Pufferschaltung (94, 95) einen Computer-Zwischenspeicher (95) für von den zu steuernden Schaltungen (12, 15, 19) aufzunehmenden oder abzugebenden Daten aufweist und daß eine Folgesteuerung (97) dem Computer-Zwischenspeicher (95) und der Computer-Adressierschaltung (96) Taktsignale zuführt, die sicherstellen, daß im Computer-Zwischenspeicher (95) gespeicherte Daten nur innerhalb der Video-Austastintervalle in den Bildspeicher (92) eingeschrieben oder aus diesem ausgelesen werden.

4. Anordnung nach Anspruch 3, dadurch gekennzeichnet, daß die Schreib- und Lese-Folgesteuerung (82, 87) Schreib- und Lese-Freigabesignale an den Computer-Zwischenspeicher (95) abgibt.

5. Anordnung nach Anspruch 3, dadurch gekennzeichnet, daß zwischen den Analog-Digital-Wandler (81) und den Bildspeicher (92) ein Video-Eingangsprozessor (83) geschaltet ist, der die dem Bildspeicher (92) aus dem Analog-Digital-Wandler (81) zum Schreiben zugeführte Datenmenge steuert.

6. Anordnung nach Anspruch 3, dadurch gekennzeichnet, daß zwischen den Bildspeicher (92) und den Digital-Analog-Wandler (86) eine Video-Ausgangsschaltung (85) geschaltet ist, die die dem Digital-Analog-Wandler (86) aus dem Bildspeicher (92) zugeführte umgewandelte Datenmenge steuert.

7. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Pufferschaltung einen Steuerdatenspeicher (94) aufweist, der vom Bildspeicher (24) abgegebene Steuersignale vor der Abgabe an die zu steuernden Schaltungen (12, 15, 19) aufnimmt und speichert.

8. Anordnung nach Anspruch 6 und 7, dadurch gekennzeichnet, daß die in dem Steuerdatenspeicher (94) gespeicherten Steuersignale dem Video-Eingangsprozessor (83) abhängig von einem von der Schreib- und Lese-Folgesteuerung (82, 87) einmal pro Bild erzeugten Eingangs-Fortschreibesignal und der Video-Ausgangsschaltung (85) abhängig von einem von der Schreib- und Lese-Folgesteuerung (82, 87) einmal pro Bild erzeugten Ausgangs-Fortschreibesignal zuführbar sind.

9. Anordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Speicheradressierschaltung (90, 91) aus dem Steuerdatenspeicher (94) Steuerdaten zur Steuerung der Adressierung des Bildspeichers (92) zuführbar sind.

10. Anordnung nach Anspruch 7, dadurch gekennzeichnet, daß der Video-Ausgangsschaltung (85) aus dem Steuerdatenspeicher (94) Steuerdaten zur Änderung der aus dem Bildspeicher (92) ausgelesenen Daten zuführbar sind.

Die Erfindung betrifft eine Anordnung zur Verarbeitung von Videosignalen gemäß dem Oberbegriff des Patentanspruchs 1.

Anordnungen zur digitalen Verarbeitung von Videosignalen werden in verschiedenen Anwendungsbereichen des kommerziellen Fernsehens, bei militärischer Infrarot-Bildverarbeitung, bei der medizinischen Elektronik, als auch bei der Sonogramm-wiedergabe und bei Mustererzeugungseinrichtungen für angewandte Kunst eingesetzt.

Obgleich es seit langem bekannt ist, daß die Digitaltechnik vielseitig und flexibel ist, ergeben sich bei der Realisierung und Optimierung geeigneter Funktionen schwierig zu lösende Probleme. Selbst geringe Änderungen spezieller Hardware-Schaltungen sind schwierig und teuer durchzuführen, während zur Erleichterung der Datenverarbeitung benutzte digitale Computer periphere Einheiten zur Eingabe der Abbildungen in den Computer benötigen, die vielfach nicht verfügbar sind. Bereits realisierte Einrichtungen dieser Art sind entweder zu langsam oder zu unflexibel und erreichen nur ungenügende Bildqualitäten.

Aus der DE-OS 22 46 029 ist ein Anzeigesystem für Radarsignale bekannt. Es umfaßt einen Analog-Digital-Wandler, der die Radar-Video-Signale digitalisiert. Die digitalisierten Videosignale werden über einen Integrator mit Pufferspeichereigenschaften, gesteuert von einer Lese-Schreib-Steuerschaltung in einen Speicher mit wahlweisem Zugriff eingeschrieben. Die über die Lese-Schreib-Steuerschaltung aus dem Speicher ausgelesenen Videodaten werden von einem Digital-Analog-Wandler in analoge Signale umgesetzt und einem Radarmonitor zugeführt. Bei dem bekannten Radar-Anzeigesystem werden die Radar-Video-Signale in Polarkoordinaten erzeugt. Der Speicher ist so organisiert, daß die Videodaten ohne komplizierte mathematische Adressentransformationen gespeichert werden können. Das System arbeitet allerdings nicht in Echtzeit und

vermag lediglich Videodaten zwischenspeichern.

Aus der DE-OS 24 35 794 ist ferner ein System bekannt, in welchem die Austastintervalle eines Videosignals zur Übertragung von zusätzlichen auf einem Bildschirm darzustellenden Zeicheninformationen benutzt werden. Während der Austastintervalle werden damit ebenfalls Videoinformationen übertragen.

Es ist Aufgabe der Erfindung, eine programmgesteuerte Videodatenverarbeitungsanordnung anzugeben, die auch bei Verwendung eines vergleichsweise kleinen und damit langsamen Computers größere Videodatenmengen in Echtzeit verarbeiten kann.

Diese Aufgabe wird erfindungsgemäß durch die im Kennzeichen des Patentspruchs 1 angegebenen Merkmale gelöst.

Der im Rahmen der Erfindung vorgesehene Computer liefert die Steuerdaten für die Videoverarbeitung. Um auch mit einem vergleichsweise kleinen und damit langsamen Computer auszukommen, ist eine Pufferschaltung vorgesehen, die die für die Videoverarbeitung von dem Computer mit einer langsamen Rate gelieferten Steuerdaten aufnimmt, während die zu verarbeitenden Videodaten in den Bildspeicher eingeschrieben bzw. aus diesem ausgelesen werden. Die Steuerdaten werden in den Austastintervallen, in welchen keine Videodaten in den Bildspeicher eingeschrieben bzw. aus diesem ausgelesen werden, an die eigentlichen, die Videoverarbeitung durchführenden Komponenten abgegeben. Die Steuerdaten werden an diese Komponenten mit der für die Echtzeitverarbeitung der Videodaten erforderlichen hohen Rate ausgegeben.

Im folgenden soll ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert werden. In der Zeichnung zeigt

Fig. 1 ein schematisches Blockschaltbild einer Anordnung zur Verarbeitung von Videosignalen,

Fig. 2 eine Darstellung zur Erläuterung des Zugriffs des Rechners auf ein Datenfeld des gespeicherten Bildrahmens,

Fig. 3 ein Blockschaltbild mit Einzelheiten der Anordnung nach Fig. 1,

Fig. 4 eine Schaltungsanordnung für den Speicher und die Speichersteuerung gemäß Fig. 3 und

Fig. 5 eine Schaltungsanordnung für den Zwischenspeicher nach Fig. 3.

In der Bildverarbeitungsanordnung nach Fig. 1 wird ein zusammengesetztes Videosignal über einen Eingangsanschluß 9 einer Videoeingangsschaltung 12 zugeführt, die die Synchronisierimpulse von dem ankommenden Videosignal abtrennt. Das ankommende Videosignal wird in der Eingangsschaltung 12 aus der Analogdarstellung in ein Achtbitdigitalwort überführt und der entsprechende Digitalausgang 13 ist mit einem Vollbild- bzw. Bildrahmenspeicher- und Steuerkreis 15 verbunden. Die abgetasteten Synchronimpulse des anliegenden Signals werden innerhalb der Schaltung 12 zum Erzeugen der Taktinformation zur Synchronisierung des Analog-Digitalkonverters verwendet. Die Taktinformation erscheint auch an einem Ausgang 14 für den Bildrahmenspeicher- und Steuerkreis 15. Externe Synchronisiersignale (genlock) können über einen Eingang 11 zugeführt werden, um die Einrichtung mit gegebenenfalls notwendigen Taktinformationen zu versehen.

Die digitalen Videoabtastimpulse (Bildpunkte) werden in einer großen Anzahl von Speicherplätzen innerhalb des Rahmenspeichers gespeichert und die Adressen dieser Plätze werden von der Speichersteuerung in zeitlicher Relation zu den Taktinformationen vom Aus-

gang 14 der Eingangsschaltung 12 her aufgenommen.

Das in dem Rahmenspeicher gespeicherte digitale Videosignal wird fortlaufend über einen Eingang 18 von einer Videoausgangsschaltung 19 ausgelesen, welche die digitalisierten Videodaten in analoge Form überführt und Synchronimpulse eines internen Generators zuaddiert, um ein zusammengesetztes Videosignal an einem Ausgang 20 zu bilden.

Die erzeugten Synchronisierimpulse bilden auch eine Zeitsteuerung für die Adressierung der Speicherplätze zum Auslesen der gespeicherten Daten. Eine externe Synchronisierung (read genlock) kann gegebenenfalls der Schaltung 19 zugeführt werden. Das zusammengesetzte Videosignal kann auf einem üblichen (T.V.) Monitor 22 wiedergegeben werden.

Die Umwandlung, Speicherung und Rückführung des Videosignals kann durch einen Computer bzw. Datenverarbeitungsgerät 24 und eine Adressier- und Steuereinheit 25 beeinflusst werden. Ein Ausgang 27 der Steuereinheit 25 führt zur Eingangsschaltung 12. Die Steuereinheit 25 kann unter Beeinflussung des Computers 24 die Zahl der Bits in einem gewünschten Wort festlegen (d. h. bis zu 8 Bits) und auch entscheiden, ob der vollständige Rahmen gespeichert wird. Der Computer 24 hat über die Steuereinheit 25 und die Steuerdatenleitung 27 Zugriff auf den Speicher 15. Die Computradreinformationen der Steuereinheit 25 werden von einem Eingang 26 des Speicherkreises aufgenommen.

Der Computer 24 ist für eine beliebige Adressierung irgendeines Teiles des Speichers geeignet. Er kann die Daten lesen und ändern und über die Eingangsschaltung 12 wiederum eingeben.

Die Computersteuerdatenleitung 27 ist auch mit der Ausgangsschaltung 19 verbunden, welche z. B. den anzuzeigenden Bereich, die Anzahl der verwendeten Bits und die Anordnung eines Fadenkreuzes gesteuert auswählen kann (wie unten ausgeführt wird). Über die I/O-Anschlußleitung des Computers 24 kann irgendeine gewünschte periphere Einheit 23 an den Computer angeschlossen werden.

Anstelle eines Computers zur Modifizierung der Daten kann ein Videoprozessor 28 vorgesehen werden, welcher Verarbeitungshardware aufweist. Der Prozessor 28 erhält die digitalisierten Videosignale von der Eingangsschaltung 12 über einen Eingang 16 und die digitalisierten Videosignale aus dem Speicher über einen Eingang 17. Nach der Verarbeitung werden die Daten über einen Ausgang 29 der Videoeingangsschaltung 12 zugeführt.

Das System speichert die Videodaten in digitaler Form in einem Rahmenspeicher, welcher die Daten grundsätzlich formatiert rastert. Diese Daten können unter Softwaresteuerung verarbeitet werden und es können vollständig neue Daten hinzugefügt werden. Befehle für das Hinzufügen und das Verarbeiten der Daten kommen von dem Computer 24 über die Steuereinheit 25. Die asynchrone Natur des Systems erlaubt Operationen über einen sehr großen Bereich vor Bildraster vom üblichen Fernsehbild über langsame Abtastsysteme wie beispielsweise Elektronenmikroskope zu Zeilenabtastkameras wie IRLS (infra red line scan) und Radarbildern wie SLAR (sideways looking airborne radar). Formate ohne Raster, wie z. B. Spiral- und Polarabtastungen können über eine Verarbeitungsanpaßschaltung eingegeben werden. Die Arbeitsweise des vorgenannten Systems erfordert Taktinformationen, welche von den Synchronisierinformationen abgeleitet werden, die in dem zusammengesetzten Eingangsvideosignal enthal-

ten sind. Die Videoinformation wird digitalisiert durch Umwandlung jedes Bildpunktes zu einem 8-Bitwort, um 256 mögliche Werte darzustellen (z. B. 256 Schattierungen von grau). Die digitalisierten Daten werden, gekennzeichnet durch eine Adresse, in Speicherplätzen innerhalb des Rahmenspeichers eingeschrieben. Die abgetrennten Taktinformationen der Synchronisierungsinformation werden zur Definition der Adresse verwendet. Diese Taktinformationen geben Stelleninformationen (Anfang einer Zeile, Ende eines Feldes bzw. Teilbilds usw.), um zu ermöglichen, daß jeder Bildpunkt in den Rahmenspeicher in richtiger Lage eingeschrieben wird.

Der bei dieser Ausführungsform verwendete Rahmenspeicher enthält 16 Leiterplatten, von denen jede N-Kanal-Dynamik-MOS R.A.M. in Form integrierter Schaltkreise umfaßt. Der Speicheraufbau ist ähnlich dem eines Fernsehrastrers und kann zwei Würfel entsprechend betrachtet werden. Jeder Würfel hält eines von zwei Feldern bzw. Halbbildern, welche einen Rahmen, d. h. ein Vollbild, bilden. Jedes Feld besteht aus 256 Zeilen und jede zweite Zeile enthält 512 Bildpunkte. Jeder Bildpunkt wird als ein 8-Bitwort gespeichert, weshalb der Speicher mit 8 Bitebenen ausgerüstet ist. Aufeinanderfolgende Zeilen des Rahmens sind in aufeinanderfolgenden Feldern gespeichert. Die zwei Hälften des Rahmenspeichers können unabhängig voneinander zum Speichern von zwei separaten Rahmen verwendet werden, wodurch sich nur die halbe Auflösung ergeben würde. Abhängig von der gewünschten Auflösung kann jedes Feld auch getrennte Bilder (bis zu 8 separate Bilder mit 1-Bit-Auflösung) speichern. Der Rahmenspeicher kann Videosignale bei 10 MHz (max. 15 MHz) Abtastfrequenz annehmen und zur Wiedergabe Bilder in einem entsprechenden Bereich erzeugen.

Das Auslesen aus dem Speicher zur Wiedergabe kann nicht durch irgendeine Computeranforderung unterbrochen werden. Für die Zwecke des Auslesens oder Einschreibens in den Speicher beträgt die Zugriffszeit des Speichers 67 nsek, wodurch ein übliches Fernsehbild mit 512 Abtastungen pro Zeile leicht untergebracht werden kann. Der Rechner kann zu dem Rahmenspeicher nur während der Zeilenaustastperiode (blanking periode) Zugriff nehmen. Der Computer hat direkten Zugriff und kenntzeichnet seine Adressen in einer Datenfeldform.

Das Prinzip der Datenfeldadressierung ist in Fig. 2 dargestellt, die ein Vollbild bzw. einen Rahmen von Videodaten 100 auf einem Fernsehschirm 101 zeigt. Es stellt die aufgenommenen und in dem Rahmenspeicher gespeicherten Daten dar. Das Viereck 103 ist der durch den Computer 24 adressierte Bildbereich und weist  $n$  Bildpunkte horizontal und  $N$  Bildpunkte vertikal auf. Zeilen 105 gehören zu ungeradzahigen Feldern und Zeilen 106 zu geradzahigen Feldern. Ein Bildpunkt 104 kann als Punkt  $x_0, y_0$  betrachtet werden, was seine Datenfeldanordnungslage angibt. Auf die Bildpunkte in dem Datenfeld wird in gleicher Weise zugegriffen, z. B.  $(x_0, y_0)$  bis  $(x_0 + n, y_0)$  dann  $(x_0, y_0 + 1)$  bis  $(x_0 + n, y_0 + 1)$  usw. bis  $(x_0, y_0 + N)$  bis  $(x_0 + n, y_0 + N)$ . Das ausgewählte Feld kann irgendeine Form vom Einzelpunkt bis zum ganzen Speicherbereich haben. Das ausgewählte Feld kann auch irgendeine Lage innerhalb des Speicherfeldes haben. Damit ist, lediglich durch Identifizierung der linken oberen Ecke des Rechteckes und der Länge von zwei Seiten, jeder Adressenbereich aufrufbar. Computerdaten werden mit einer niedrigen Rate zugeführt (typische Zyklusfrequenz des Computers von 500 kHz an abhängig davon, ob ein Datenfeld oder einzelne Bildpunkte adressiert werden sollen). Die Daten werden

zwischengespeichert und mit der Übertragungsrate des Systems, üblicherweise 10 MHz, in den Rahmenspeicher eingegeben. Damit werden die Daten für das Ausschreiben in den Speicher schnell und für das Zurücklesen in den Computer langsam bewegt.

Der Speicher hat die Möglichkeit einer »Bit-Selektion«. Dies bedeutet, daß irgendein Teil der 8-Bit-Worte in den Speicher geschrieben und aus diesem gelesen werden kann. Dies erlaubt verschiedene und getrennte Bilder in bestimmten Abschnitten der 8 Bitebenen festzuhalten. Umgekehrt können Teile der 8-Bit-Worte reserviert werden für Überlagerungen von Ausgangswerten des Computers auf dem Originalbild, welches beispielsweise mit einem 6-Bit-Pegel gespeichert ist. Das Ergebnisbild kann auf dem Bildschirm dargestellt werden.

Die Datenübertragung vom Rahmenspeicher zur Ausgangsseite des Systems wird von Taktsignalen, welche z. B. von einer externen Synchronisierungsquelle (read genlock) kann dieselbe sein, wie die zum Einschreiben zu verwendende externe Synchronisierungsquelle (write genlock), welche eine synchrone Arbeitsweise erzeugt. Üblicherweise wird die Synchronisierung getrennt erzeugt, um die Ausgangsvideosignale im Schritt mit irgendeiner anderen Videoquelle zu erzeugen, mit deren Videosignalen sie für das vollständige Bild z. B. bei Überblendungen überlagert werden soll. Dies entspricht der asynchronen Arbeitsweise beim Lesen und Schreiben, bei welcher die Sequenzen unabhängig voneinander ablaufen und ein Transfer zu und von dem Speicher gleichzeitig zu zwei verschiedenen Speicheradressen durchgeführt werden kann.

Die zwei Felder können auf zweierlei Weise miteinander verschachtelt sein, um ein volles Rahmenbild auf dem Bildschirm zu erhalten. Einmal in Form einer normalen Überlagerung, wobei die einzelnen Felder abwechselnd gelesen werden oder zweitens in Form einer speziellen 2:1-Überlagerung. Dieses zweite Verfahren erlaubt eine Wiederholung der ungeraden Zeilen in den geradzahigen Bildschirmzeilen oder umgekehrt. Bei Verwendung dieses zweiten Verfahrens kann ein zweiter und nichtbezogener Rahmen in dem anderen Feld gespeichert werden. Durch Interpolation ist es möglich, Informationen aus benachbarten Bildpunkten zu substituieren, z. B. um den Effekt eines fehlerhaften Störelementes, sofern dies auftreten sollte, zu beseitigen.

Die Elemente der Fig. 1 sind im Detail in der Ausführungsform nach Fig. 3 gezeigt. Die Eingangsschaltung 12 wird dabei im wesentlichen von einem ADC 81 (Analog-Digital-Konverter), einem Schreibfolgegenerator 82 und einer Videoeingangseinheit 83 sowie dem unteren Teil eines Synchronisiergenerators 80 gebildet. Die Videoausgangsschaltung 19 wird gebildet von einer Videoausgangseinheit 85, einem Ausgangsprozessor 86, einem Lesefolgegenerator 87 und dem oberen Teil des Synchronisiergenerators 80. Der Rahmenspeicher- und Steuerkreis 15 besteht aus einem Speicheradreßkreis 90, einer Speichersteuerung 91 und einem Rahmenspeicher 92.

Die Adressier- und Steuereinheit 25 des Computers 24 wird gebildet durch eine Computer-Anschlußeinheit 93, einen Zwischenspeicher 95, eine Adressiereinheit 96, einen Speichersequenzer 97 und eine Steuerdatenspeichereinheit 94.

Der Videoprozessor 28 hat die in Fig. 1 gezeigte Form.

Das Synchronisier- und Videoinformationen enthal-

tende zusammengesetzte Videosignal wird über den Eingang 9 dem ADC 81 und dem unteren Bereich des Synchronisiergenerators 80, welcher als Abtrenneinrichtung wirkt, zugeführt. Die Abtrenneinrichtung trennt die Synchronisierungsinformationen von den Bildinformationen. Die Synchronisierungsimpulse werden innerhalb der Abtrenneinrichtung verwendet, um Taktinformationen zu schaffen, welche z. B. den Start einer Zeile, eines Feldes und das Ende eines Rahmens auslösen. Diese Taktinformation wird über eine Leitung 117 vom Schreibfolgegenerator 82 aufgenommen.

Synchronabtrenneinrichtungen zur Erzeugung solcher Taktinformationen sind allgemein bekannt und werden deshalb im einzelnen nicht beschrieben.

Die abgetrennte Zeitinformation stellt sicher, daß irgendein Bildpunkt in zeitlichen Bezug zu irgendeinem anderen gebracht werden kann, wodurch z. B. festgelegt ist, zu welchem Feld und welcher Zeile er gehört und an welcher Stelle der Zeile er sich befindet. Dies garantiert, daß die Bildpunkte an dem richtigen Platz in dem Rahmenspeicher 92 gespeichert werden. Der Schreibfolgegenerator 82 erzeugt Schreibtaktimpulse an einem Ausgang 137, welche von dem Videoeingangsbereich, d. h. der Anschlußeinheit 83 und dem Speicheradreibkreis 90 empfangen werden. Schreibfolgegeneratoren sind bekannt und enthalten grundsätzlich einen Oszillator und eine Mehrzahl von Zählern zur Erzeugung einer Anzahl von Taktimpulsen.

Der AD-Konverter 81 überführt jeden Bildpunkt des ankommenden Videosignals in ein 8-Bit-Wort. Dies ergibt 256 mögliche Pegel (z. B. 256 Schattierungen von grau). Die Taktversorgung des Konverters 81 mit 10 MHz erfolgt auf einer Leitung 119 über die Videoeingangseinheit 83. Der AD-Konverterausgang 118 führt zur Videoeingangseinheit 83. Dieser 8-Bit-Ausgang kann auf den Pegel einer Emitter-gekoppelten Logik abgestimmt sein. Analog-Digitalkonverter sind ebenfalls bekannt. Die Videoeingangseinheit 83 kann die Daten verarbeiten, bevor sie auf einer Leitung 142 dem Rahmenspeicher 92 zugeführt werden. Die Videoeingangseinheit 83 führt die Daten über die Leitungen 16 bzw. 29 auch dem Videoprozessor 28 zu und empfängt sie von ihm, wenn die Anwendung externer Hardware-Verarbeitung vorgesehen ist. Der Computer 24 arbeitet ferner mit der Videoeingangseinheit 83 über den Zwischenspeicher 95 und die Steuerdatenspeichereinheit 94 zusammen. Während der Zeilenaustastperiode wird eine Computerinformation, welche in den Speicher geschrieben werden soll, von dem Zwischenspeicher 95 über eine Leitung 128 gesendet. Verarbeitungsinformationen werden in der Form von Steueradressen, Steuerdaten von der Steuerdatenspeichereinheit 94 über eine Leitung 138 gesendet und dies bestimmt die Art der Verarbeitung, die ausgeführt werden soll. Die Videoeingangseinheit 83 gibt unter der Steuerung des Schreibfolgegenerators 82 über die Leitung 142 entweder digitalisierte Videodaten (umgeformt von Emitter-gekoppelte Logik in Transistor — Transistorlogik) oder Rechnerdaten an den Rahmenspeicher 92 ab. Die Videoeingangseinheit 83 enthält Verriegelungskreise (latches) zum Halten der 8 empfangenen Bits, so daß diese dem Speicher zugeführt werden können. Andererseits können die Eingangsdaten über die Leitung 118 auch über einen Nebenweg dem Eingang 16 des Prozessors 28 zugeführt werden. Auch der Ausgang 29 kann zum Ausgang 142 geführt werden.

Das Lesen der Daten aus dem Rahmenspeicher 92 über eine Leitung 143 zur Videoausgangseinheit 85 und

über eine Leitung 144 aus der Videoausgangseinheit 85 zum Ausgangsprozessor 86 erfolgt unter der Steuerung des Lesefolgegenerators 87. Die Ausgangsblocks 85, 86 rekonstruieren das Signal zu einem zusammengesetzten Videosignal.

Der Lesefolgegenerator 87 erzeugt an seinem Ausgang 132 Taktinformation für die Videoausgangseinheit 85 und an einem Ausgang 133 einen Takt- und Synchronisierungs-Impulszug für den Ausgangsprozessor 86. Der Lesefolgegenerator 87 erzeugt die Taktinformationen ähnlich dem Schreibfolgegenerator 82 (z. B. am Beginn einer Zeile usw.). Der Generator 87 wird von einem Lesegeneratorsperresignal (genlock) auf einer Leitung 116 gesteuert, welches über die Synchronisierabtrenneinrichtung 80 auf einer Leitung 122 empfangen wird. Die aus dem Speicher ausgelesenen Daten werden getaktet der Videoausgangseinheit 85 zugeführt, die die erwünschte Verarbeitung vervollständigt. Die Verarbeitung in der Videoausgangseinheit 85 schließt eine Überlagerung, Positionierung, Bitverschiebung, Umformung oder Bereichsauswahl mit ein. Speicher und Zähler innerhalb der Einheit 85 veranlassen die gewünschte Steuerung unabhängig oder abhängig von den aus der Steuerdatenspeichereinheit 94 empfangenen Befehlen. Das Datenformat kann dabei von einem TTL-Pegel zurück zum ECL-Pegel geändert werden, so daß die Ausgangswerte auf 16 abgestimmten Leitungen dem Ausgangsprozessor 86 zugeführt werden können. Der Ausgangsprozessor 86 enthält einen Digital-Analogkonverter (DAC), welcher von dem Ausgang 133 des Lesefolgegenerators 87 synchronisiert wird.

Das rekonstruierte Videosignal wird dann mit dem Synchronisierungsimpulszug vom Ausgang 133 gemischt, um ein zusammengesetztes Videoausgangssignal für die Wiedergabe an einem Ausgang 146 zu bilden. Der Synchronisierungsimpulszug wird ferner zur Synchronisierung irgendwelcher externer Hardware benutzt, und zwar über einen Ausgang 148. Die nicht zusammengesetzten Videodaten können an einem Ausgang 145 abgenommen werden. Die Digital-Analogumformung und die Bildung eines zusammengesetzten Videosignals ist allgemein bekannt und wird nicht weiter beschrieben. Zweck des Speicheradreibkreises 90 ist die Erzeugung der für den Zugriff erforderlichen Adressen, welche die Plätze in dem Speicher 92 kennzeichnen. Die Lese- und Schreibfolgegeneratoren 87, 82 liefern Taktimpulse für den Speicheradreibkreis 90 über die Leitung 132 bzw. 137, d. h. Informationen, ob z. B. der Adressenbeginn gespeichert werden soll, welcher Bereich zu adressieren ist, wann gestoppt werden soll am Ende einer Zeile und wieviele Zeilen adressiert werden sollen. Rechnerdaten werden von der Adressiereinheit 96 über eine Leitung 130 übertragen.

Die Adressiereinheit 90 des Speichers erzeugt drei Arten von Adressen:

- (i) Die aus dem Schreibfolgegenerator 136 empfangenen Informationen geben die Adresse an, in welche die Eingangsdaten eingesetzt werden.
- (ii) Die Taktimpulse des Lesefolgegenerators 132 bestimmen, welcher Platz bzw. welche Plätze des Speichers gelesen werden sollen. (Dies garantiert auch, daß die Rate, mit welcher Daten aus dem Speicher ausgelesen werden, dieselbe ist wie die des Synchronisierungsimpulszugs, den der Lesefolgegenerator 87 erzeugt.)
- (iii) Adressen von der Computer-Adressiereinheit 96, die die Adressen für die Rechnerdaten erzeugt.

Der Speicheradreßkreis 90 erzeugt die gewünschten Speicheradressen in Form von zwei 6-Bit-Adressen, welche am Eingang 69 des Rahmenspeichers 92 in zwei Hälften ineinandergeschachtelt sind. Der Speicheradreßkreis 90 führt auch eine Bildauffrischoperation außerhalb der Leseintervalle durch. Dies ist notwendig, da der Rahmenspeicher 92 ein dynamischer Speicher mit freiem Zugriff ist, der, falls er innerhalb einer 2-msek-Periode nicht gelesen wird, die Information »verliert« (»vergisst«). Während des Halbbildintervalls führt der Speicheradreßkreis 90 einen »dauernden« Lesezyklus aus, der den Rahmenspeicher 92 in Betrieb hält und die jeweils eingeschriebenen Daten aufrechterhält. (Die während des Pseudolesesyklus aufgerufenen Daten werden nicht benötigt und gehen verloren.) Der Speicheradreßkreis 90 sendet Adressensignale zu der Speichersteuerung 91, die daraufhin Taktimpulse für die Speicherelemente erzeugt. Diese Adressensignale werden der Speichersteuerung 91 als Lese/Schreibbefehle an einem Eingang 50/52, als Schreibadressen an einem Eingang 41, als Leseadressen an einem Eingang 78 und als Reihenadreß-Multiplexabtastimpulse für Lesen/Schreiben an Eingängen 60/61 zugeführt. Der Speicheradreßkreis 90 erzeugt auch I/P-Eingangsauswahlsignale an einem Eingang 42, Ausgangsauswahlsignale an einem Eingang 76 und Chipauswahlsignale an einem Eingang 68 des Speichers 92. Die Zeitimpulse des Speichersteuerkreises 90 stellen sicher, daß der Speicher nicht gleichzeitig für Schreiben und Lesen angesteuert wird.

Die Speichersteuerung 91 wendet ein Warteschlangensystem an, so daß, wenn im Speicher gelesen wird und eine Einschreibenanforderung gegeben wird, diese ignoriert wird und umgekehrt. Er unterscheidet deshalb zwischen Lese- und Schreibabfragen und verhindert deren Wechselwirkung. Signale von der Computerspeicher-Folgeschaltung, d. h. des Speichersequenzers 97 werden ebenfalls aufgenommen als Leseanforderungssignal eines Ausgangs 140 des Speichersequenzers 97 und als Schreibabforderungssignal eines Ausgangs 141. Die Signale legen fest, wann der Computer die Durchführung einer Lese- oder Schreiboperation wünscht. Der Speicheradreßkreis 90 enthält im wesentlichen drei Sätze von Registern für das Schreiben, Lesen und Regenerieren.

Der Aufbau des Rahmenspeichers 92 und der Speichersteuerung 91 ist in Fig. 4 gezeigt, aus der ersichtlich ist, wie die verschiedenen Signale von dem Speicheradreßkreis 90 und dem Speichersequenzer 97 verarbeitet werden. Der Speicheradreßkreis 90 erhält ein Lese-/Schreibadreßauswahlsignal von einem Ausgang 73 der Speichersteuerung 91 und ein Multiplexsteuersignal für die Ineinanderschachtelung der zwei Hälften der Adresse von einem Ausgang 72. Der Auslöseschreibtakt wird einem Eingang 54 der Speichersteuerung 91 aus dem Schreibfolgegenerator 82 und der Auslösesetakt einem Eingang 53 aus dem Lesefolgegenerator 87 zugeführt.

Fig. 4 zeigt die Speichersteuerung zusammen mit einer von 16 Speicherkarten 30. Die Speicherkarte 30 enthält einen Block 32 mit 4 Reihen eines RAM-(Random Access Memory)-Chips 10, von denen jede Reihe 8 Chips (eine für jedes der 8 Datenbits) umfaßt. Somit beträgt die Gesamtzahl der Speicherchips 32. Die Karte 30 umfaßt einen Eingangsverriegelungskreis 31 und einen Ausgangsverriegelungskreis 33, sowie einen Datenüberwachungskreis 34, der unten im einzelnen beschrieben wird. Es sei daran erinnert, daß 15 andere nicht dargestellte ähnliche Karten 30 den Speicher vervoll-

ständigen. Deshalb hat ein Eingangsverteiler 35 16 Ausgänge 47 für 16 Karten. Ein Ausgang ist mit dem Eingangsverriegelungskreis 31 verbunden dargestellt. Ebenso ist ein Ausgangsverteiler 39 mit lediglich einem mit dem Ausgangsverriegelungskreis 33 verbundenen Ausgang 75 dargestellt. Obgleich die verbleibenden Eingänge der Eingangs- und Ausgangsverteiler ohne Verbindungen dargestellt sind, so sind diese tatsächlich doch mit den anderen 15 Karten verbunden. Ein Reihenadreß-Abtastverteiler 36 und eine Taktsteuerung 38 besitzen von den anderen 15 Karten gemeinsam ausgenutzte Ausgänge. Ein Warteschlangenlogikkreis 37 (unten beschrieben) ist mit dem Taktsteuerkreis 38 verbunden.

Da die Eingangsdaten für die Karten über eine gemeinsame Vielfachleitung ankommen, müssen diese Daten in jeder Karte in Abhängigkeit von einzelnen Taktsignalen gepuffert werden, so daß nach 16 Taktsignalen alle 16 Karten ein Wort der Daten halten.

Diese ersten Worte werden in einer ersten Position im Verriegelungskreis 31 gehalten. Der Verriegelungskreis 31 kann durch bekannte Register-Datei-Chips realisiert werden. Die Information wird in diese Register durch ein Eingabe-Freigabe-Signal, welches von dem Eingangsverteiler Ausgang 47 empfangen wird, mit Videofrequenz taktrichtig eingeschrieben, wobei die Adresse durch ein Eingangsauswahl-Signal, welches am Eingang 42 auftritt, gesetzt wird. Wenn die ersten 16 Worte zu den Karten übertragen sind, erscheinen die nächsten 16 Worte in der Folge auf der Vielfachleitung und werden in den Karten verriegelt, wobei jedoch die Eingangszeitauswahl so verändert wird, daß diese letzten Worte in den nächsten Plätzen der Register 31 einlaufen.

Es ist offensichtlich, daß sich die Eingangsauswahlsignale deshalb nur mit ein 1/16 der Originalvideofrequenz (sofern 16 Karten vorgesehen sind) ändern. Der Ausgang der Register wird durch das Inverse der Eingangsauswahlsignale gesteuert. Dies ist das einzige Erforderliche, um den Inhalt der bekannten Register an deren Ausgangsklemmen verfügbar zu machen. Da die Eingangsauswahlsignale mit 1/16 der Videofrequenz arbeiten, ist offensichtlich, daß die an den Ausgängen der Register verfügbaren Daten für ungefähr das 16fache der Datenperiode der Originaleingangs-Vielfachleitung konstant gehalten werden.

Das das 4096-Bit-RAM-Chip relativ langsam in seiner Arbeitsweise ist, ist diese interne Verteilung notwendig, um die Geschwindigkeitsanforderung für jedes individuelle Chip zu reduzieren. Jedoch entspricht das externe Adressensystem noch einer üblichen Anordnung, d. h. die 9-Bit-Binär-Adresse bestimmt die Zeile in einem Bild und eine andere 9-Bit-Adresse bestimmt den Bildpunkt innerhalb der Zeile, wie oben ausgeführt.

Es ist ersichtlich, daß diese Unterverteilung oder offensichtliche Verlangsamung der Eingangsdaten so beeinflusst, daß sie diese an den Eingangsklemmen des 4K RAM für eine mehr als ausreichende Zeit für die Aufnahme der Information erscheinen läßt.

Die Adressen kommen über genau 6 Adressenleitungen am Eingang 69 in Form von 12 Bit an, welche in zwei Hälften geteilt werden, und zwar in Chipreihen-Adressen gefolgt von Chipkolonnen-Adressen. Die einzelne Einrichtung wird durch 4 getrennte Reihenadrensenabtastsignale RAS 1, 2, 3 und 4 auf Leitungen 63, 64, 65 und 66 des Reihenadrensenabtastverteilers 36 ausgewählt, der die Reihenadrensenabtastsignale (row address strobes = RAS) an einem Eingang 62 nur einmal für

jeden Speicherzyklus aus dem Taktsteuerkreis 38 erhält. Diese arbeiten umlaufend, so daß die Folge von Sätzen für eine Adressenstruktur darin besteht, daß die ersten 4 Bits der Adresse, welche an den Eingängen 41 der 16 Karten auftreten, dekodiert werden, um die Eingangswerte des Eingangsverteilers 35 zu erzeugen. Die nächsten zwei Bits der Adresse, welche an den Eingängen 60, 61 auftreten, werden im Reihenadreßabtastrverteiler 36 dekodiert, um die 4 Reihenadreßabtastrsignale RAS 1, 2, 3 und 4 zu erzeugen. Die letzten 12 Bits bilden, auf zwei Hälften am Eingang 69 verteilt, die Hauptadresse. Ein Kolonnenadressenabtastrsignal (CAS) wird über die Leitung 67 vom Taktsteuerkreis 38 geliefert.

Die Ausgabeseite der Karten ist der Eingabeseite sehr ähnlich, mit Ausnahme natürlich, daß sie in umgekehrter Reihenfolge arbeitet. Wesentlich ist, daß die Daten parallel von allen 16 Karten in ihren einzelnen Registern bzw. Ausgangsverriegelungskreise 33 übertragen werden. (Der Ausgangsverriegelungskreis 33 kann für die gewünschten 8 Bits  $\times$  2 Speicherplätzen durch 4-Bit-Verriegelungskreise vom Typ 74 173 gebildet sein.) Die Übertragung zu den Verriegelungskreisen wird durchgeführt durch eine »Ausgangsabtastung« (Leitung 71) und »Ausgangsauswahl« (Leitung 74), welche mit 1/16 der Videofrequenz arbeitet. Die nicht für die parallele Übertragung aus dem Speicher benutzten Register sind für das Ausgeben ihrer Daten über die gemeinsame Sammelleitung verfügbar, und zwar abhängig von einer Ausgabeinformation, welche über einen Ausgang 75 des Ausgangsverteilers 39 abhängig von einer 4-Bit-Leseadresse an einem Eingang 78 zugeführt wird. Die entsprechende Einrichtung wird durch eine Inversion der »Ausgangsauswahl« ausgewählt. Die »Ausgangsfreigabe« arbeitet in Serie (mit Videofrequenz), wobei die »Ausgangsabtastung« für alle 16 Karten parallel durchgeführt wird.

Die 8 Chip-Auswahlleitungen 68 ermöglichen es wahlweise, jeden Teil des digitalen Wort im Speicher unwirksam zu machen und vor dem Einschreibverfahren zu schützen. Damit kann z. B. in den Bits 1 bis 4 ein Bild geschrieben werden, welches sich von dem in Bits 5 bis 8 gehaltenen Bild unterscheidet.

Die Lese-/Schreibleitungen und Reihenadreßabtastrleitungen (RAS) für die Speicherkarten sind nicht so unkompliziert wie sie zunächst dargestellt wurden. Die Schwierigkeiten ergeben sich aus der Möglichkeit, in eine Karte aus der Gruppe von 16 Karten einzuschreiben, ohne irgendeine andere Karte zu beeinflussen. Dies ist einfach zu erreichen für den Eingangsverriegelungskreis 31 durch Anwendung eines Eingangsfreigabesignals entsprechend der interessierenden Karte. Wenn jedoch die Daten parallel übertragen werden, würden die Speicherplätze in 15 der 16 Karten falsche Informationen aufnehmen.

Um diese Aufnahme falscher Informationen zu verhindern, ist der Datenüberwachungskreis 34 vorgesehen, welcher ein Eingangsauswahlsignal und ein Eingangsfreigabesignal an seinen Eingängen 43 und 44 zusammen mit Lese-/Schreibsignalen an einem Eingang 46 vom Taktsteuerkreis 38 empfängt. Wenn für diese Karte vom Eingangsverteiler 35 ein Eingangsfreigabesignal erfaßt wird, erlaubt der Datenüberwachungskreis 34 das Eingeben der Daten in den Eingangsverriegelungskreis 31 für die anschließende Übertragung zum Speicher 32 unter Steuerung des Lese-/Schreibbefehls vom Ausgang 45. Wenn ein Eingangsfreigabesignal für die spezielle Karte vom Eingangsverteiler 35 nicht erfaßt wird, gibt der Datenüberwachungskreis 34 den Speicherzyklus

nicht zur Durchführung frei.

Der Warteschlangenlogikkreis 37 empfängt ebenfalls die Lese-/Schreibsignale über eine Leitung 56 von dem Taktsteuerkreis 38. Schreibbefehle werden an einem Eingang 50 vom Warteschlangenlogikkreis 37 angenommen und Lesebefehle an einem Eingang 52. Haltesignale an einem Eingang 51 des Kreises 37 halten die Daten in dem Speicher. Schreibbefehle werden vom Zeitkreis 38 über einen Ausgang 57 des Taktsteuerkreises 38 zugeführt, während ein Ausgang 53 Lesebefehle liefert, wobei die Befehle vorübergehend im Kreis 37 gehalten werden, wenn der Speicher in einem anderen Teil seines Zyklus arbeitet, was von den Lese-/Schreibsignalen am Eingang 56 erfaßt wird. Lese- und Schreib-Auslöseeinrichtungen steuern über Eingänge 53 bzw. 54. Der Taktsteuerkreis 38 liefert zusätzliche Taktsignale, welche über einen Lese-/Schreibadressenauswahls-Ausgang 73 und einen Adressenverteiler-Steuerungsausgang 72 zur Steuerung der Speicher in der oben beschriebenen Weise abgegeben werden.

Es sei daran erinnert, daß der Speicher 91 16 Karten von einem Typ, wie er als Block 30 in Fig. 4 dargestellt ist, enthält, um 512 Zeilen zu speichern.

Die Steuerung und Verteilung der Computerinformation erfolgt durch die Computeranpaßblöcke, d. h. Computer-Anschlußeinheit 93, Computer-Adressiereinheit 96, den Computer-Speichersequenzer 97, den Computer-Zwischenspeicher 95 und die Steuerdatenspeichereinheit 94.

Jede Information, welche in und von dem Computer übertragen wird, läuft auf Leitungen 110, welche mit ECL-Pegel wegen der geringen Störimpfindlichkeit betrieben werden können. Die Steuerung erfolgt über Leitungen 111. Die Informationen werden auf 16 Leitungen gesendet und werden durch Abtast- und Abfühlimpulse begleitet, welche festlegen, was für eine Information gesendet wird.

Die Aufgabe der Computer-Anschlußeinheit 93 ist die Umwandlung der Computerinformation. Wenn die Information von dem Computer in den Speicher geschrieben wird, wandelt die Einheit 93 die Eingangswerte von einem ECL-Pegel in einen TTL-Pegel um (um der Information eine Kompatibilität mit dem übrigen System zu geben). Wenn eine Information aus dem Speicher für den Computer gelesen wird, wandelt die Anschlußeinheit 93 die Information in einen ECL-Pegel um. Die Computer-Anschlußeinheit 93 bildet auch eine Steuerlogik zur Betriebssteuerung des Computers. Sie liefert Feld-Rahmen-Informationen, um dem Computer den Zugang zu einem oder beiden Feldern zu ermöglichen und Informationen dazu welcher Lese-/Schreibzyklus auszulösen soll, über einen Ausgang 115 an die Computer-Adressiereinheit 96. Die Computerinformation wird von der Computer-Anschlußeinheit 93 über eine Datensammelleitung 113 mit begleitenden Abtast- und Steuerimpulsen ausgegeben zur Steuerung der Steuerdatenspeichereinheit 94, des Zwischenspeichers 95 und der Computer-Adressiereinheit 96. Die Computer-Adressiereinheit 96 empfängt Adresseninformationen über diese Sammelleitung zusammen mit einem Adressenabtastimpuls. Der Abtastimpuls zeigt an, daß die Information auf der Leitung eine Adresseninformation für diese Einheit ist und gibt die Größe und Lage des Datenfeldes an. Die Adressiereinheit 96 zählt auch die Bildpunkte, wodurch der Computer weiß, wann er genug Daten empfangen oder übertragen hat, um einen bestimmten Bereich des Datenfeldes abzudecken. Steuerimpulse der Leitung 131 von der Computer-Adressiereinheit 96 um-



fassen Informationen über die Anzahl der von dem Speichersequenzer 97 zu zählenden Bildpunkte. Der Speichersequenzer 97 führt die notwendige Zeitsteuerung für das Schreiben und Lesen der Informationen in und aus dem Rahmenspeicher 92 über den Speicheradreibkreis 90 aus. Dies ist erforderlich, da diese Daten nicht in einer Rasterform sind und deshalb nur während der Zeilenaustastperiode in den Speicher eingeschrieben oder aus ihm gelesen werden können. Der Speichersequenzer 97 enthält zwei Folgegeneratoren, von denen einer mit dem Schreibfolgegenerator 82 und der andere mit dem Lesefolgegenerator 87 synchronisiert ist. Während des Lesens oder Schreibens wird die Adresse in der Computer-Adressiereinheit 96 durch ein Signal auf einer Leitung 129 erhöht und das Zahlwort vermindert. Die Bildinformation (Daten) werden auf der Sammelleitung 113 mit ihren zugehörigen Abtastimpulsen (Abtastdaten) und auch mit Leitungssteuerinformationen dem Zwischenspeicher 95 zugeführt. Die Sammelleitungssteuerimpulse verhindern die Datenausgabe aus dem Computer während einer aktiven Rahmenzeit oder während der Computer Daten zur Computer-Adressiereinheit 96 oder der Steuerdatenspeichereinheit 94 überträgt. Der Computer-Zwischenspeicher 95 arbeitet als Zwischenregister für die Daten bis die Zeilenaustastperiode auftritt. Der Zwischenspeicher 95 empfängt an einem Eingang 123 ein Signal vom Schreibfolgegenerator 82, daß der Computer zum Schreiben bereit ist und an einem Eingang 124 vom Lesefolgegenerator ein Signal für die Lesebereitschaft. Ein 10-MHz-Taktsignal an einem Ausgang 126 des Speichersequenzers 97 wird z. B. vom Signal am Ausgang 126 des Schreibfolgegenerators 82 übernommen.

Die Eingangsdatenfortschreibung für die Steuerdatenspeichereinheit 94 erfolgt, wenn an ihrem Eingang 120 aus dem Schreibfolgegenerator 82 ein Schreibrahmentakt empfangen wird. Eine Ausgangsdatenfortschreibung erfolgt, wenn an einem Eingang 121 der Einheit 94 ein Leserahmentakt des Folgegenerators 87 empfangen wird.

Die Steuerdatenspeichereinheit 94 enthält im wesentlichen einen Direktzugriffsspeicher für 64 Worte mit 9 Bits (z. B. ein Chip vom Typ 82S09) zusammen mit zugehörigen Zählchips.

Die Steuerdatenspeichereinheit 94 ist über die Leitung 138 mit dem Speicheradreibkreis 90, der Videoeingangseinheit 83 und dem Ausgangsprozessor 86 verbunden. Der Ausgang 126 des Speichersequenzers 97 erzeugt einen 10-MHz-Takt für die Computer-Adressiereinheit 96, den Zwischenspeicher 95 und die Steuerdatenspeichereinheit 94.

Signale des Lese-/Schreibsteuerausgangs 127 des Zwischenspeichers 95 werden von dem Speichersequenzer 97 aufgenommen. Die Computerdaten vom Ausgang 128 des Zwischenspeichers 95 werden einem Eingang der Videoeingangseinheit 83 zugeführt. Die Lese-/Schreibauswahlsteuerung des Zwischenspeichers 95 geschieht unter der Steuerung des Computers über einen Ausgang 114 der Anschlußeinheit 93, welche bestimmt, ob die der Adresse in der Adressiereinheit 96 zugeordneten Daten in den Speicher eingeschrieben oder aus dem Speicher 92 gelesen werden sollen. Die ausgelesenen Daten aus dem Rahmenspeicher 92 werden dem Eingang 125 des Zwischenspeichers 95 zugeführt.

Die Zeilenaustastperiode beträgt etwa 8 µsek während der Computerzyklus etwa 500 kHz hat, so daß nicht genügend Zeit während der Zeilenaustastung ver-

bleibt, um die Computerdaten einzulesen. Deshalb ist ein »First-in-First-out«-Speicher (F.I.F.O.) innerhalb des Zwischenspeichers 95 vorgesehen. Dieser F.I.F.O.-Speicher übernimmt die Daten mit Rechengeschwindigkeit und übersetzt dann während der Austastperiode die Daten in eine Geschwindigkeit von 10 MHz. Der F.I.F.O.-Speicher kann auch die Daten von dem Speicher 92 mit einer Folgegeschwindigkeit von 10 MHz übernehmen und die Geschwindigkeit auf einen für den Computer geeigneten Wert herabsetzen.

Die Steuerdatenspeichereinheit 94 empfängt die Rechnerinformationen in der Form von Steuerworten (Funktionen) mit einer begleitenden Steuerinformation auf der Leitung 113. Die Steuerinformation bezieht sich auf irgendeine Verarbeitung, welche an dem digitalisierten Videosignal ausgeführt werden soll. Die Information für die Eingabe- und Ausgabeverarbeitung wird zu verschiedenen Zeiten in Bezug auf den Lese-/Schreibtakt zugeführt. Die Computer-Anschlußeinheit 93 enthält eine Anzahl von Zeilenempfängern und Treibern, z. B. vom Typ 74367. 16 Ausgangsleitungen in der Sammelleitung werden für die Steuerfunktionen verwendet.

Die »First-in-First-out«-Funktion des Zwischenspeichers 95 ist im einzelnen in Fig. 5 dargestellt. Während des ersten Schreibzyklus laufen die Daten aus dem Computer in den Rahmenspeicher 92. Ein Eingangsverteiler 150 (z. B. aus 4 Elementen vom Typ 74153) verteilt das 16-Bit-Wort des Computers an einem Eingang 166 auf 2 × 8 Bits, und zwar entweder 8 höherwertige Bits zuerst oder 8 niederwertige Bits zuerst. Der Ausgang des Eingangsverteilers 150 führt zu einem Speicher 151 von 256 × 8 Bits (z. B. 8 Elemente vom Typ 74S201), welcher die Schreibadresse eines Schreibadreßzählers 153 (z. B. vom Typ 74161) über einen Verteilerkreis 154 (z. B. vom Typ 74S157) verwendet. Der Schreibadreßzähler 153 wird an einem Eingang 167 und ein Vorwärts-Rückwärtszähler 155 (z. B. vom Typ 74S169) wird an einem Eingang 168 fortgezählt. Die Daten werden aus dem Speicher 151 direkt an einem Ausgang 173, gesteuert von einem Leseadreßzähler 157 (z. B. vom Typ 74161) ausgelesen. Der Leseadreßzähler 157 wird über eine Leitung 169 weitergeschaltet und ein Inhaltszähler 155 wird über eine Leitung 170 zurückgeschaltet. Wenn der Inhaltszähler 155 feststellt, daß der Speicher 151 gefüllt ist, dann wird kein weiterer Schreibvorgang zugelassen. Umgekehrt kann nicht gelesen werden, wenn der Inhaltszähler 155 feststellt, daß der Speicher 151 leer ist. Ein Steuerlogikblock 159 empfängt Abfragebefehle über einen Eingang 160. Diese kommen als Abtastimpulse mit Daten vom Computer. Die Ausgabeanforderung an einem Eingang 162 kommt von dem Computer-Speichersequenzer 97.

Beim Lesevorgang werden die Daten von dem Rahmenspeicher 92 in einem 8-Bit-Wort gebildet und laufen durch den Speicher 151 wie vorher beschrieben, wobei der Ausgang in 16-Bit-Form zusammengefaßt ist und über einen Verriegelungs- bzw. Haltekreis 165 (z. B. in Form von 74S175) dem Computer zugeführt wird. Die Eingangsabfrage für diesen Zyklus kommt von dem Computer-Speichersequenzer 97 und die Ausgangsabfrage steuert ein Abtastimpuls des Computers.

Die Lese-/Schreibsteuerung für den Verteiler 154 erfolgt über eine Leitung 172. Der F.I.F.O.-Speicher des Zwischenspeichers 95 wird in der Computer-Adressiereinheit 96 ähnlich ausgenutzt, um einen Datenfeldabmessungsspeicher für den Computer zu bilden. Es sind Zähler für die Adressen und Anzahl von Bildpunkte in dem Datenfeld vorgesehen, wobei die Zähler für hori-



zonale und vertikale Adressen vorwärts zählen und für horizontale und vertikale Dimensionen rückwärts zählen. Bei dem Computer 24 kann es sich beispielsweise um einen Computer Automation Alpha L51-2 Minicomputer handeln. Diese Familie von Minicomputern ist unter Verwendung einer Assemblersprache äußerst flexibel und leicht zu programmieren. Die Organisation der Zentraleinheit (CPU) ermöglicht eine sehr große Speichereffizienz des Computers. Die Ein-Ausgabestruktur ist einfach und erlaubt die Verwendung billiger Anpassschaltungen. Jedoch können auch andere Minicomputer verwendet werden. Die Übertragung der Daten erfolgt über die Anschlußeinheit 93. Der Standard-Eingangs-Ausgangsleitungs-Verkehr wird durch Festsetzen von Bildbereichen und durch die Speicherzugriffsadressen-Operation bestimmt. Weitere Eingangs-Ausgangsoperationen ermöglichen den Datenverkehr zur Steuerung verschiedener anderer Operationen der Maschine einschließlich einer Bitselektion, Anwendung verschiedener Anpassschaltungen, Annahme von neuen Videorahmen und der Entscheidung, welches Feld verwendet werden soll. Sofern gewünscht, können zusätzliche periphere Geräte vorgesehen werden, wie z. B. Bandgeräte, Zeilendrucker, Plotter, Tastenfelder, Bildschirmgeräte und Fernschreiber. Auch ein Großcomputer kann diesem System über den Minicomputer zugeschaltet werden.

Für die Steuerfunktionen des Systems wird ein 16-Bit-Wort verwendet, welches die Art der Verarbeitung, die ausgeführt werden soll und die Bedingungen, zu denen sie erfolgen soll, definieren. Jedes der unterschiedlichen Verfahren wird auf eines oder mehrere dieser 16-Bit-Steuerworte hin durchgeführt. Die Steuerfunktionen des Systems können im wesentlichen auf drei Bereiche bezogen werden

- (i) Eingangsseite
- (ii) Ausgangsseite und
- (iii) Computeranpassung.

Die Eingangs- und Ausgangsseite kann auf unterschiedlichen Betriebsarten eingestellt werden, um unterschiedliche Operationen an den digitalisierten Videosignalen anzuführen. Diese Steuerfunktionen werden von dem Computer über die Sammelleitung 113 in die Steuerdatenspeichereinheit 94 eingeschrieben. Sie werden dort gespeichert, bis sie abgetastet und der relevanten Schaltung zugeführt werden. Die Steuerdatenspeichereinheit 94 unterliegt der Beschränkung durch die Eingänge 120, 121, so daß die Steuerparameter (Informationen) sowohl zur Eingangsseite als auch zur Ausgangsseite hin nur zwischen den Rahmen geändert werden können. Die Steuerdatenspeichereinheit 94 eignet sich daher nur zum Speichern von Kontrollfunktionsparametern für einen kompletten Rahmen. Für die Verarbeitung auf der Eingangsseite erzeugt der Schreibfolgegenerator 82 einen Schreibrahmentakt einmal pro Rahmen, welcher dem Steuerdatenspeichereingang 120 als Anforderung (Eingabefortschreibung) zugeführt wird, diejenige Steuerfunktion zu übertragen, welche zur Verarbeitung der Eingabevideodaten relevant ist. Abhängig von dieser Eingangsfortschreibungsanfrage geben die Steuerdatenabtaustausgänge die Zahl der Kontrollfunktionen entsprechend dem Verfahren aus. Die Steuerfunktion wird als 16-Bit-Wort zusätzlich zu einer Adresse und einem Kennzeichnungsimpuls übertragen. Die Steuerfunktionsadresse und der Kennzeichnungsimpuls werden über die Vielfachleitung 138 dem Speicher-

adresskreis 90 und der Videoeingangseinheit 83 zugeführt. Der Kennzeichnungsimpuls und die Adresse werden durch diese Einheiten dekodiert, um zu entscheiden, welche Karte adressiert wurde, wobei diese Karte dann die Steuerdaten von der Sammelleitung übernimmt. Die dekodierte Adresse veranlaßt auch den jeweils geeigneten Kreis der Karte zur Verarbeitung, wobei die Steuerdaten den Befehl, wie die Verarbeitung ausgeführt werden soll, liefern.

Die Verarbeitung der Ausgangsdaten auf der Ausgangsseite des Systems ist derjenigen der Eingangsseite sehr ähnlich. Die Ausgabe von Steuerdaten an die Sammelleitung wird durch eine Ausgabefortschreibeanfrage veranlaßt, welche von einem Leserahmentaktimpuls des Lesefolgegenerators 87 am Eingang 121 erzeugt wird. Die Ausgangsteuerfunktion wird der Videoausgangseinheit 85 und der Speicheradresseinheit 90 zugeführt. Die Speicheradresseinheit 90 ist für die Eingangs- als auch für Ausgangsfunktionen unterteilt.

Obgleich ein 525 Zeilenformat beschrieben wurde, kann auch ein 625 Zeilenformat benutzt werden. Die Steuerung der Computeranpassschaltungen muß nicht auf den Rahmen Rücksicht nehmen und die Funktionen werden unmittelbar durchgeführt. Der Computer weiß aufgrund des Zweizeigeflusses der zu- bzw. abgeführten Informationen, wann er die Computerfunktion ändern kann. Die Funktionen werden durch die Computeranschlußeinheit 93 abhängig von der übertragenen Information des Computers direkt dekodiert.

Wie oben ausgeführt besteht die Kontrollfunktion (Steuerwort) aus einem 16-Bit-Wort. Das Wort kann in drei Teile unterteilt betrachtet werden

- (i) Geräteadresse
- (ii) Funktionscode und
- (iii) Daten.

Die Geräteadresse des Worts zeigt an, ob das Wort für eine Eingabe-, Ausgabe-, Anpassungs- oder Rückführungsfunktion verwendet werden soll. Der Funktionscodeteil des Worts informiert die ausgewählte Einheit (Videoeingang, Videoausgang und Speicheradresse), welches Verfahren ausgeführt werden soll. Der 8-Bit-Datenteil des Worts gibt den aktuellen Befehl, zu welchen Bedingungen die Verarbeitung erfolgen soll.

Beispiele spezifischer Ausgangssteuerfunktionen sind im folgenden angeführt:

#### (a) Positionsanzeigesymbol oder Fadenkreuz

Die Positionsanzeige besteht aus einer horizontalen Linie zwei Zeilen breit und einer vertikalen Linie zwei Bildpunkte breit, wobei der Bezugspunkt der Schnittpunkt der sich kreuzenden Linien ist. Die Positionsanzeige wird zur Ansteuerung einer Position im Speicher verwendet, wobei die Steuerung von der Videoausgangseinheit 85 durchgeführt wird. Dies erfolgt durch zwei Steuerworte. Eines definiert, wie weit der Punkt vom linken Rand des Bildschirms entfernt liegt (vertikale Position) und das zweite, wieviele Zeilen unterhalb des oberen Rands (horizontale Position) der Punkt liegt.

Wenn die Videoausgangseinheit 85 dieses Wort empfängt, zählt sie die Bildpunkte entlang der Zeile und die Zeilen selbst. Wenn eine Übereinstimmung zwischen den Zahlen und den in den Worten enthaltenen Daten besteht, wird das die horizontale und vertikale Position bezeichnende Symbol erzeugt. Das Positionssymbol kann entweder schwarz oder weiß sein, je nachdem, wie

**THIS PAGE BLANK (L'SPT0)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**